

Operationally amplifying method and operational amplifier

Patent Number: ☐ US6208208
Publication date: 2001-03-27
Inventor(s): KOMATSU YUJI (JP); YUKAWA AKIRA (JP); TAGUCHI YASUHIRO (JP)
Applicant(s): NIPPON ELECTRIC CO (US)
Requested Patent: ☐ JP11308057
Application Number: US19990294570 19990420
Priority Number(s): JP19980109678 19980420
IPC Classification: H03F3/45
EC Classification: H03F3/30B6B2, H03F3/30B6B, H03F3/45S1B1B
Equivalents: JP3150101B2

Abstract

An operational amplifier circuit including a differential amplifier circuit and a current mirror circuit. The differential amplifier circuit amplifies a signal which enters a non-inverted input terminal and an inverted input terminal. The differential amplifier circuit receives resulting differential currents from an inverted current inflow terminal and a non-inverted current inflow terminal, and outputs corresponding differential currents from an inverted current outflow terminal and a non-inverted current outflow terminal to the current mirror circuit. The differential current flowing in the terminal is converted into a voltage by a load transistor so that the voltage drives a p-channel transistor, whereas the corresponding differential current flowing out from the terminal is converted into a voltage by a load transistor so that the voltage drives an n-channel transistor

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-308057

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁴

H 0 3 F 3/45

識別記号

F I

H 0 3 F 3/45

審査請求 有 請求項の数20 O L (全 11 頁)

(21) 出願番号 特願平10-109678

(22) 出願日 平成10年(1998)4月20日

(71) 出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 小松 裕司

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 弁理士 京本 直樹 (外2名)

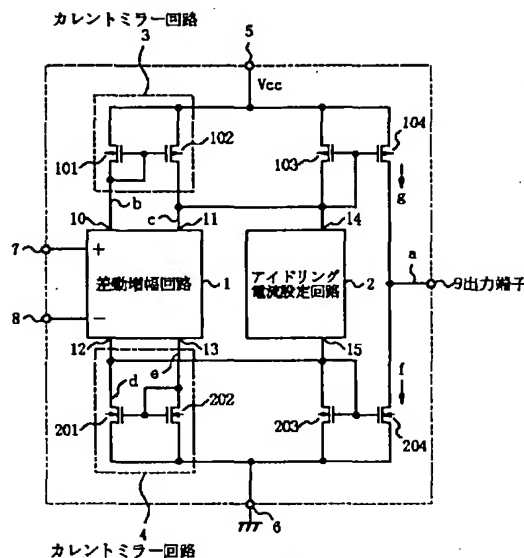
最終頁に続く

(54) 【発明の名称】 演算増幅回路

(57) 【要約】

【課題】 乾電池などの低電圧電源で動作し、消費電流が小さくかつ駆動能力が大きい演算増幅回路を提供する。

【解決手段】 差動増幅回路1は、反転電流流入端子10と非反転電流流入端子11を介して、カレントミラー回路3から差動電流が流入し、反転電流流出端子12と非反転電流流出端子13を介して、カレントミラー回路4に差動電流を出力する。非反転電流流入端子11は、負荷トランジスタ103のゲートとPチャネル出力トランジスタ104のゲート及びブイドリング電流設定回路210の定電流流入端子14に接続され、差動電流を負荷トランジスタ103で電圧変換しPチャネル出力トランジスタ104を駆動する。また、差動電流を負荷トランジスタ203で電圧に変換しNチャネル出力トランジスタ204を駆動する。



100 演算増幅回路

10: 反転電流流入端子, 11: 非反転電流流入端子
 12: 反転電流流出端子, 13: 非反転電流流出端子
 14: 定電流流入端子, 103: 負荷トランジスタ
 15: 定電流流出端子, 203: 負荷トランジスタ
 104: Pチャネル出力トランジスタ
 204: Nチャネル出力トランジスタ

1

【特許請求の範囲】

【請求項1】 ゲートに非反転信号が印加される第1のトランジスタと、ソースがこのトランジスタのソースと共通接続されゲートに反転信号が印加される第2のトランジスタとからなる差動トランジスタ対と、前記第1のトランジスタのドレイン電流に比例する第1の電流を流入させるための反転電流流入端子と、前記第2のトランジスタのドレイン電流に比例する第2の電流を流入させるための非反転電流流入端子と、前記第1の電流に比例した電流を流出させるための反転電流流出端子と、前記第2の電流に比例した電流を流出させるための非反転電流流出端子とを設け、前記非反転信号と前記反転信号の差信号を増幅する差動増幅回路と、第1の電源と前記差動増幅回路との間に接続され、入力端子を前記反転電流流入端子に接続し、出力端子を前記非反転電流流入端子に接続する第1のカレントミラー回路と、第2の電源と前記差動増幅回路との間に接続され、入力端子を前記非反転電流流出端子に接続し、出力端子を前記反転電流流出端子に接続する第2のカレントミラー回路と、ソースを前記第1の電源に接続し、ゲートとドレインを共に前記非反転電流流入端子に接続する第3のトランジスタと、ソースを前記第2の電源に接続し、ゲートとドレインを共に前記反転電流流出端子に接続する第4のトランジスタと、前記第3のトランジスタのドレイン電圧と前記第4のトランジスタのドレイン電圧を入力して電流駆動する出力回路と、前記第3のトランジスタのゲートに接続する第1の定電流源と、前記第4のトランジスタのゲートに接続する第2の定電流源とを設け、前記出力回路のアイドル電流を設定するためのアイドル電流設定回路と、を備えた演算増幅回路。

【請求項2】 前記第3のトランジスタのソースと前記第1の電源間若しくは、前記第4のトランジスタのソースと前記第2の電源間に抵抗を設けた請求項1記載の演算増幅回路。

【請求項3】 前記抵抗は、ゲートを第1の電源又は第2の電源に接続したトランジスタで構成した請求項2記載の演算増幅回路。

【請求項4】 前記出力回路は、ソースを第1の電源に接続しゲートを前記第3のトランジスタのドレインと接続しドレインを出力端子に接続する第1の出力トランジスタと、ソースを第2の電源に接続しゲートを前記第4のトランジスタのドレインと接続しドレインを前記出力端子に接続する前記第1の出力トランジスタとは逆極性の第2の出力トランジスタと、を備えたコンプリメンタリ出力回

2

路である請求項1乃至3記載の演算増幅回路。

【請求項5】 前記第1の出力トランジスタのゲートと前記出力端子間及び前記第2の出力トランジスタのゲートと前記出力端子間に、それぞれ抵抗とコンデンサを直列接続した請求項4記載の演算増幅回路。

【請求項6】 前記差動増幅回路は、前記第1のトランジスタと、ソースがこのトランジスタのドレインに接続され、ゲートが定電圧バイアスされ、ドレインが前記第2のカレントミラー回路の出力端子に接続される第5のトランジスタと、前記第2のトランジスタと、ソースがこのトランジスタのドレインに接続され、ゲートが定電圧バイアスされ、ドレインが前記第2のカレントミラー回路の入力端子を駆動する第6のトランジスタと、ソース及びゲートが前記第5のトランジスタのソース及びゲートとそれぞれ共通接続される第7のトランジスタと、このトランジスタのドレイン電流を折り返して前記第1のカレントミラー回路の入力を駆動する第3のカレントミラー回路と、ソース及びゲートが前記第6のトランジスタのソース及びゲートとそれぞれ共通接続される第8のトランジスタと、このトランジスタのドレイン電流を折り返して前記第1のカレントミラー回路の出力と接続する第4のカレントミラー回路と、を備えた請求項1乃至5記載の演算増幅回路。

【請求項7】 前記第5及び第7のトランジスタの各ソースは共通接続されると共に、これらのソースは第3の定電流源に接続され、前記第6及び前記第8のトランジスタの各ソースは共通接続されると共に、これらのソースは第4の定電流源に接続される請求項6記載の演算増幅回路。

【請求項8】 前記第3及び第4の定電流源は、各ソースがそれぞれ前記第1の電源に接続され、各ゲートが第1のバイアス電圧を出力するバイアス回路の第1のバイアス端子に接続された第9及び第10のトランジスタにより構成され、前記第5乃至第8のトランジスタの各ゲートは、第2のバイアス電圧を出力する前記バイアス回路の第2のバイアス端子に接続された請求項7記載の演算増幅回路。

【請求項9】 前記第1及び第2のトランジスタからなる差動トランジスタ対は、ノンドープトランジスタにより構成された請求項1乃至8記載の演算増幅回路。

【請求項10】 前記アイドル電流設定回路は、ソースが第1の電源に接続され、ゲートが前記第1のバイアス端子に接続され、ドレインが前記第4のトランジスタのゲートに接続された第11のトランジスタと、ソースが第2の電源に接続され、ゲートが第3のバイアス電圧を出力する前記バイアス回路の第3のバイアス端子に接続され、ドレインが前記第3のトランジスタのゲートに接続された第12のトランジスタとを備えた請求項1乃至9記載の演算増幅回路。

【請求項11】 前記バイアス回路は、入力端子がバイ

3

アス電流を設定するバイアス電流設定端子に接続されかつ前記第1のバイアス端子に接続された第5のカレントミラー回路と、

入力端子が前記第5のカレントミラー回路の出力端子と前記第3のバイアス端子に接続され、出力端子が前記第2のバイアス端子に接続された第6のカレントミラー回路を備えた請求項8記載の演算増幅回路。

【請求項12】 前記第1及び第2の出力トランジスタのアイドリング電流は、前記バイアス電流設定端子に流す電流値と、前記第5のカレントミラー回路を構成しこのカレントミラー回路の入力端子にドレインを接続するトランジスタと前記第11のトランジスタの各ゲート巾比、前記第3のトランジスタと前記第1の出力トランジスタの各ゲート巾比、前記第6のカレントミラー回路を構成しこのカレントミラー回路の入力端子にドレインを接続するトランジスタと前記第12のトランジスタの各ゲート巾比、前記第4のトランジスタと前記第2の出力トランジスタの各ゲート巾比により設定される請求項11記載の演算増幅回路。

【請求項13】 前記差動増幅回路は、ゲートに非反転信号が印加され、ドレインが前記第2のカレントミラー回路の出力端子に接続された第1のトランジスタと、ソースがこのトランジスタのソースと共通接続されゲートに反転信号が印加され、ドレインが前記第2のカレントミラー回路の入力端子に接続された第2のトランジスタとからなる差動トランジスタ対と、ゲートが前記第1のトランジスタのゲートに接続された第5のトランジスタと、ゲートが前記第2のトランジスタのゲートに接続された第6のトランジスタと、
30 ソースが前記第1の電源に接続されドレインが前記第1及び第2のトランジスタの各ソースに接続された第7のトランジスタと、ソースが前記第1の電源に接続されドレインが前記第5及び第6のトランジスタの各ソースに接続された第8のトランジスタと、入力端子が前記第5のトランジスタのドレインに接続され、出力端子が前記第1のカレントミラー回路の入力端子に接続された第3のカレントミラー回路と、入力端子が前記第6のトランジスタのドレインに接続され、出力端子が前記第1のカレントミラー回路の出力端子に接続された第4のカレントミラー回路と、を備える請求項1記載の演算増幅回路。

【請求項14】 前記第1及び第2のトランジスタからなる差動トランジスタ対は、エンハンスメント型Pチャネルトランジスタを用いて構成される請求項13記載の演算増幅回路。

【請求項15】 前記第1及び第2の出力トランジスタのアイドリング電流は、前記第1のカレントミラー回路を構成し出力端子にドレインを接続するトランジスタの50

4

ゲート巾を、前記第1のカレントミラー回路を構成し入力端子にドレインを接続するトランジスタのゲート巾よりも小さくし、前記第2のカレントミラー回路を構成し出力端子にドレインを接続するトランジスタのゲート巾を、前記第2のカレントミラー回路を構成し入力端子にドレインを接続するトランジスタのゲート巾よりも小さくすることにより設定される請求項13又は14記載の演算増幅回路。

【請求項16】 ソースを前記第1の電源に接続し、ゲートをバイアス電流設定用のバイアス電流設定端子と、前記第7及び第8のトランジスタの各ゲートに接続した第9のトランジスタを設けた請求項13乃至15記載の演算増幅回路。

【請求項17】 前記差動増幅回路は、ゲートに非反転信号が印加され、ドレインが前記第1のカレントミラー回路の出力端子に接続された第1のトランジスタと、ソースがこのトランジスタのソースと共通接続されゲートに反転信号が印加され、ドレインが前記第1のカレントミラー回路の入力端子に接続された第2のトランジスタとからなる第1の差動トランジスタ対と、ゲートに前記非反転信号が印加され、ドレインが前記第2のカレントミラー回路の出力端子に接続され前記第1及び第2のトランジスタとは逆極性の第5のトランジスタと、ソースがこのトランジスタのソースと定電流源とに接続され、ゲートに反転信号が印加され、ドレインが前記第2のカレントミラー回路の入力端子に接続された第6のトランジスタとからなる第2の差動トランジスタ対と、を備える請求項1記載の演算増幅回路。

【請求項18】 前記定電流源は、ソース及びドレインが前記第1の電源と前記第5及び第6のトランジスタの各ソース間に接続され、ゲートがバイアス電流設定用のバイアス電流設定端子に接続された請求項17記載の演算増幅回路。

【請求項19】 前記第1の差動トランジスタ対は、Nチャネルノンドープトランジスタを用いて構成され、前記第2の差動トランジスタ対は、Pチャネルエンハンスメント型トランジスタを用いて構成された請求項17又は18記載の演算増幅回路。

【請求項20】 前記第1及び第2の出力トランジスタのアイドリング電流は、前記第1のカレントミラー回路を構成し出力端子にドレインを接続するトランジスタのゲート巾を、前記第1のカレントミラー回路を構成し入力端子にドレインを接続するトランジスタのゲート巾よりも小さくし、前記第2のカレントミラー回路を構成し出力端子にドレインを接続するトランジスタのゲート巾を、前記第2のカレントミラー回路を構成し入力端子にドレインを接続するトランジスタのゲート巾よりも小さくすることにより設定される請求項17乃至19記載の演算増幅回路。

【発明の詳細な説明】

5

【0001】

【発明の属する技術分野】本発明は演算増幅回路に関し、特に低電源電圧で動作し消費電流が小さくかつ駆動電流が大きい演算増幅回路に関する。

【0002】

【従来の技術】最近、電子手帳やデジタルウォッチ等の一次電池動作を前提とした携帯機器用のシステムLSIに内蔵するために、CMOS製造プロセスを用いて構成したCMOS演算増幅回路が多用されてきている。

【0003】このような電池動作の携帯機器は、1.510V以下の電源電圧でかつ数マイクロアンペア〜数ミリアンペア以下の消費電流で動作させるため、低電源電圧でかつ低消費電流動作の演算増幅器が要求されている。

【0004】また、携帯機器において定常動作時の消費電流をより低減するとともに、A/D変換器やD/A変換器と同一チップ上に搭載され、D/A変換器の出力を演算増幅回路を介してスピーカ駆動する場合など、単に低電源電圧動作で低消費電流だけでなく高出力の演算増幅回路が要求されるようになっている。

【0005】この要請に応えるため、例えば、図7に示すフォールドドカスコード (Folded Cascode) 型演算増幅回路700 (以下演算増幅回路700と記す) が提案されている。

【0006】この演算増幅回路700は、差動トランジスタ対を構成するNチャネルトランジスタ74、75とカレントミラー回路76を含むフォールドドカスコード回路71と、Pチャネル出力トランジスタ77とNチャネル出力トランジスタ78と位相補償用コンデンサCcと出力端子79とを含むプッシュプル出力回路72と、フォールドドカスコード回路71及びプッシュプル出力回路72にバイアス電圧を供給するバイアス回路73とから構成される。

【0007】差動トランジスタ対を構成するNチャネルトランジスタ74、75の各ゲート端子G74、G75に入力信号が印加されると、フォールドドカスコード回路71で増幅された増幅信号は、カレントミラー回路76の共通ゲート端子Aと、フォールドドカスコード回路76の出力接点Bに出力され、さらにこれらの信号はプッシュプル出力回路72を構成するPチャネル出力トランジスタ77とNチャネル出力トランジスタ78で40増幅されて出力端子79に出力される。

【0008】

【発明が解決しようとする課題】上述した従来の演算増幅回路700は、入力電圧範囲も大きくでき、出力電圧範囲も接地電位まで出力することができ、かつ1V以下の低電源電圧でも動作できるという特徴がある。

【0009】しかしながら、この演算増幅回路700は、Pチャネル出力トランジスタ77を差動増幅回路の出力から駆動する回路構成をとっておらず、さらに、Nチャネル出力トランジスタ78のアイドル電流を設50

6

定する回路構成も備えていない。

【0010】このため、プッシュプル出力回路72はA級増幅器として動作し演算増幅回路700の最大出力電流はPチャネル出力トランジスタ77のアイドル電流以下に制限されてしまうという欠点がある。

【0011】さらに、プッシュプル出力回路72が大振幅で動作すると、この出力回路72の出力信号が中点電位に対して非対称となるため、出力信号の奇数次高調波歪みが增大するという欠点がある。

【0012】このため、本発明の主な目的は乾電池などの低電圧電源で動作し、消費電流が小さくかつ駆動能力が大きい演算増幅回路を提供することにある。

【0013】

【課題を解決するための手段】そのため、本発明による演算増幅回路は、ゲートに非反転信号が印加される第1のトランジスタと、ソースがこのトランジスタのソースと共通接続されゲートに反転信号が印加される第2のトランジスタとからなる差動トランジスタ対と、前記第1のトランジスタのドレイン電流に比例する第1の電流を流入させるための反転電流流入端子と、前記第2のトランジスタのドレイン電流に比例する第2の電流を流入させるための非反転電流流入端子と、前記第1の電流に比例した電流を流出させるための反転電流流出端子と、前記第2の電流に比例した電流を流出させるための非反転電流流出端子とを設け、前記非反転信号と前記反転信号の差信号を増幅する差動増幅回路と、第1の電源と前記差動増幅回路との間に接続され、入力端子を前記反転電流流入端子に接続し、出力端子を前記非反転電流流入端子に接続する第1のカレントミラー回路と、第2の電源と前記差動増幅回路との間に接続され、入力端子を前記非反転電流流出端子に接続し、出力端子を前記反転電流流出端子に接続する第2のカレントミラー回路と、ソースを前記第1の電源に接続し、ゲートとドレインを共に前記非反転電流流入端子に接続する第3のトランジスタと、ソースを前記第2の電源に接続し、ゲートとドレインを共に前記反転電流流出端子に接続する第4のトランジスタと、前記第3のトランジスタのドレイン電圧と前記第4のトランジスタのドレイン電圧を入力して電流駆動する出力回路と、前記第3のトランジスタのゲートに接続する第1の定電流源と、前記第4のトランジスタのゲートに接続する第2の定電流源とを設け、前記出力回路のアイドル電流を設定するためのアイドル電流設定回路とを備えている。

【0014】

【発明の実施の形態】はじめに、図1を参照して本発明の演算増幅回路100の基本概念について説明する。

【0015】本発明の演算増幅回路100は、外部端子として電源端子5、接地端子6、非反転入力端子7、反転入力端子8、出力端子9を有しており、非反転入力端子7と反転入力端子8に入力した信号を増幅し、差動電

7

流が反転電流流入端子10と非反転電流流入端子11から流入し、反転電流流出端子12と非反転電流流出端子13から差動電流を出力する差動増幅回路1を設けている。

【0016】また、差動増幅回路1には反転電流流入端子10と非反転電流流入端子11を介して、Pチャネルトランジスタ101、102から構成されるカレントミラー回路3から差動電流が流入し、反転電流流出端子12と非反転電流流出端子13を介して、Nチャネルトランジスタ201、202から構成されるカレントミラー10回路4に差動電流を出力する。

【0017】さらに非反転電流流入端子11は、ダイオード接続されたPチャネルトランジスタからなる負荷トランジスタ103のゲートとPチャネル出力トランジスタ104のゲート及びアイドリング電流設定回路2の定電流流入端子14に接続され、差動電流を負荷トランジスタ103で電圧に変換しこの電圧でPチャネル出力トランジスタ104を駆動する。

【0018】また、反転電流流出端子12は、ダイオード接続されたNチャネルトランジスタからなる負荷トランジスタ203のゲートとNチャネル出力トランジスタ204のゲート及びアイドリング電流設定回路2の定電流流出端子15に接続され、差動電流を負荷トランジスタ203で電圧に変換しこの電圧でNチャネル出力トランジスタ204を駆動する。

【0019】Pチャネル出力トランジスタ104のドレインとNチャネル出力トランジスタ204のドレインは共に出力端子9に接続され、演算増幅回路100は非反転入力端子7と反転入力端子8に入力した信号を増幅し、出力端子9に出力信号を出力する。

【0020】次に、本発明による演算増幅回路100の動作についてより詳細に説明する。

【0021】非反転入力端子7と反転入力端子8に同一の電圧が印加された場合、差動増幅回路1の出力電流がバランスし、反転電流流入端子10と非反転電流流入端子11は同一値の電流を引き込もうとする。

【0022】一方アイドリング設定回路2は、ダイオード接続された負荷トランジスタ103及びダイオード接続された負荷トランジスタ203に定電流を流すことにより、電流ミラーの関係にあるPチャネル出力トランジスタ104、Nチャネル出力トランジスタ204のアイドリング電流を一定値に保たせる。

【0023】差動増幅回路1の反転電流流入端子10は、カレントミラー回路3を構成するダイオード接続された負荷トランジスタ101を介して電源端子5に接続されており、同様に非反転電流流入端子11は、ダイオード接続された負荷トランジスタ103を介して電源端子5に接続されているので、反転電流流入端子10と非反転電流流入端子11は、ほぼ同一の安定した電位に保たれる。

8

【0024】また、差動増幅回路1の非反転電流流出端子13は、カレントミラー回路4を構成するダイオード接続された負荷トランジスタ202を介して接地端子6に接続されており、同様に反転電流流出端子12は、ダイオード接続された負荷トランジスタ203を介して接地端子6に接続されているので、反転電流流出端子12と非反転電流流出端子13は、ほぼ同一の安定した電位に保たれる。

【0025】このとき、差動増幅回路1がバランス状態にあるので、非反転電流流入端子11と定電流流入端子14は電気的に接続されているものの、これらの端子間に流れる電流はほとんどゼロとなる。

【0026】同様に、反転電流流出端子12と定電流流出端子15の端子間に流れる電流もほとんどゼロとなり、Pチャネル出力トランジスタ104とNチャネル出力トランジスタ204を流れるアイドリング電流はアイドリング電流設定回路2によって任意に設定可能となる。

【0027】非反転入力端子7と反転入力端子8間に交流信号が印加された場合は、アイドリング電流には無関係に設定される差動電流により、正相電圧に対しては非反転電流流入端子11の電位が低下しPチャネル出力トランジスタ104を駆動すると共に、反転電流流出端子12の電位が低下しNチャネル出力トランジスタ204をオフする。一方逆相電圧に対しては、Nチャネル出力トランジスタ204を駆動しPチャネル出力トランジスタ104をオフする。

【0028】従って、無信号時には安定したアイドリング電流を流し、かつ信号入力時には大電流を駆動可能なAB級演算増幅回路を構成することができる。

【0029】また、本発明による演算増幅回路100は、出力端子9に接続する負荷の負荷駆動能力と、Pチャネル出力トランジスタ104とNチャネル出力トランジスタ204からなる出力段のアイドリング電流を独立に設定できるため、大きな負荷駆動能力を持たせても小信号時の消費電流を小さくすることができる。

【0030】さらに、小信号動作時には差動増幅回路1の反転電流流入端子10と非反転電流流入端子11の端子間、及び反転電流流出端子12と非反転電流流出端子13の端子間の電位がそれぞれバランスしているため、電源電圧変動による影響を受けにくく電源変動除去比S_{VR}が大きいという特徴がある。

【0031】また、出力段をPチャネル出力トランジスタ104とNチャネル出力トランジスタ204とにより、コンプリメンタリソース接地回路を構成しているので、出力電圧範囲をほぼ接地電位から電源電圧程度までとすることが可能である。

【0032】次に、本発明の演算増幅回路の第1の実施の形態について図2を参照して説明する。なお、図1と共通の構成要素には共通の参照文字／数字を付してあ

る。

【0033】図2は、本発明の演算増幅回路1001の第1の実施の形態を示す回路図であり、外部端子として電源端子5、接地端子6、非反転入力端子7、反転入力端子8、出力端子9に加え、バイアス回路16のバイアス電流を設定するためのバイアス電流設定端子21を有する。

【0034】バイアス回路16は、Pチャネルトランジスタ105～107及びNチャネルトランジスタ207、208から構成され、バイアス電流設定端子21に10定電流を印加することにより、差動増幅回路1A及びア

イドリング電流設定回路2Aに対して、バイアス回路16の出力端子301～303を介してバイアス電圧を出力する。

【0035】フォールデッドカスコード接続された差動増幅回路1Aは、Pチャネルトランジスタ108～114及びNチャネルトランジスタ205、206、209～213により構成され、非反転電流流入端子11、反

転電流流入端子10、非反転電流流出端子13、反転電流流出端子12を設けている。

【0036】非反転電流流入端子11には、カレントミラー回路3を構成するPチャネルトランジスタ102のドレイン、Pチャネル出力トランジスタ104のゲート、負荷トランジスタ103のゲート及びアイドリング電流を設定するためのNチャネルトランジスタ214のドレインが接続される。

【0037】また、反転電流流出端子12には、カレントミラー回路4を構成するNチャネルトランジスタ201のドレイン、Nチャネル出力トランジスタ204のゲート、負荷トランジスタ203のゲート及びアイドリ

ング電流を設定するためのPチャネルトランジスタ110のドレインが接続される。

【0038】アイドリング電流設定回路2Aは、Pチャネルトランジスタ110とNチャネルトランジスタ214から構成され、Pチャネルトランジスタ110はNチャネル出力トランジスタ204のアイドリング電流を設定し、Nチャネルトランジスタ214は、Pチャネル出力トランジスタ104のアイドリング電流を設定する。

【0039】Pチャネル出力トランジスタ104のドレインとNチャネル出力トランジスタ204のドレインは、出力端子9に共に接続され演算増幅回路1001の出力信号を出力端子9に出力する。

【0040】また、負荷トランジスタ103のソースは抵抗R3を介して電源端子5に接続し、負荷トランジスタ203のソースは抵抗R4を介して接地端子6に接続する。Pチャネル出力トランジスタ104のゲートは、抵抗R1及びコンデンサC1を介して出力端子9に接続し、同様にNチャネル出力トランジスタ204のゲートは、抵抗R2及びコンデンサC2を介して出力端子9に接続する。

【0041】アイドリング電流を設定するためのNチャネルトランジスタ214のゲートはバイアス回路16の出力端303に接続し、同様にアイドリング電流を設定するためのPチャネルトランジスタ110のゲートはバイアス回路16の出力端301に接続する。

【0042】次に、図2に示す演算増幅回路1001の動作につき説明する。

【0043】最初に、無信号及び小信号入力時の演算増幅回路1001の動作について図3及び図1、2を用いて説明する。反転入力端子8と出力端子9を接続してボルテージフォロワを構成し、電源電圧Vccを3Vとし、図1、3に示すように非反転入力端子7に波高値20mVの正弦波を入力した場合の出力端子9の出力電圧波形、反転電流流入端子10、非反転電流流入端子11、反転電流流出端子12及び非反転電流流出端子13の各電圧波形をそれぞれa、b、c、d、eとして図3の左側の縦軸で表し、Nチャネル出力トランジスタ204の電流波形fとPチャネル出力トランジスタ104の電流波形gを右側の縦軸で表す。

【0044】差動増幅回路1Aの反転電流流出端子12及び非反転電流流出端子13の電圧d、eはダイオード接続されたNチャネルトランジスタ203、202によって、Nチャネルトランジスタのしきい値電圧Vtnより幾分高い電圧約0.6V付近に保たれている。

【0045】反転電流流入端子10及び非反転電流流入端子11の各電圧b、cは、ダイオード接続されたPチャネルトランジスタ101、103によって、電源電圧Vcc(=3V)からPチャネルトランジスタのしきい値電圧より幾分低い電圧に保たれている。

【0046】Pチャネル出力トランジスタ104とNチャネル出力トランジスタ204のアイドリング電流は、バイアス電流設定端子21からの設定電流と、Nチャネルトランジスタ207、214のゲート巾比、Pチャネルトランジスタ105、110のゲート巾比、Pチャネルトランジスタ103、104のゲート巾比、Nチャネルトランジスタ203、204のゲート巾比とから定められ、約200uAに設定されている。

【0047】また図3から明らかなように、Pチャネル出力トランジスタ104とNチャネル出力トランジスタ204の各ドレイン電流f、gはカットオフすることなく、A級プッシュプル増幅器として動作している。

【0048】次に、大振幅時の演算増幅回路1001の動作について図4を用いて説明する。

【0049】測定回路は上記と同じボルテージフォロワ構成とし、非反転入力端子7に波高値1.2Vの正弦波を入力している。各電圧波形a、b、c、d、e及び各電流波形f、gの意味は、図2の無信号及び小信号入力時の場合と同様である。

【0050】反転電流流入端子10と非反転電流流出端子13の各電圧b、eは、小信号時と同様の値を保って

11

いるが、非反転電流流入端子11と反転電流流出端子12の各電圧c、dは大きく変化し、それぞれPチャネル出力トランジスタ104及びNチャネル出力トランジスタ204を駆動する。

【0051】電圧d>電圧eの半波期間、すなわちほぼ電圧c>電圧bの期間は、Nチャネル出力トランジスタ204がオンし、Pチャネル出力トランジスタ104がオフとなる。

【0052】一方、電圧c<電圧bの半波期間、すなわちほぼ電圧d<電圧eの期間は、Pチャネル出力トランジスタ104がオンし、Nチャネル出力トランジスタ204がオフとなる。

【0053】Pチャネル出力トランジスタ104とNチャネル出力トランジスタ204の各ドレイン電流g、fは、出力端子9に接続する負荷抵抗（図示せず）が100Ωのときは12mA、10Ωのときは120mA交互に流れるので、B級プッシュプル増幅器として動作する。

【0054】すなわち図2からわかるように、Pチャネル出力トランジスタ104とNチャネル出力トランジスタ204の各ゲート駆動電圧の最大値は、差動増幅回路1Aの最大出力電流と抵抗R3、R4によって定まるので、アイドリング電流に無関係に最大駆動電圧を増やし演算増幅回路1001の最大出力電流を増大させることができる。

【0055】また、しきい値電圧が0V近くのNチャネルノンドープトランジスタ205、206を用いたインバーテッド・カスコード型の差動増幅回路1Aを構成しているため、演算増幅回路1001の入力電圧範囲をほぼ接地電位から電源電圧程度までとすることが可能である。さらに、本演算増幅回路1001はトランジスタのソース・ドレイン間電圧としきい値電圧の和以上の電源電圧で動作するので、通常のCMOS製造プロセスを使用しても、電源電圧1V以下で動作可能な演算増幅回路を実現できる。

【0056】上記の説明においては、負荷トランジスタ103のソースに抵抗R3を接続し、大振幅時のPチャネル出力トランジスタ104のゲート駆動電圧を増幅させているが、抵抗R3に替えて、ゲートを接地レベルに固定したPチャネルトランジスタとすることができる。40同様に抵抗R4に替えて、ゲートを電源電位に固定したNチャネルトランジスタとすることができる。抵抗R3、R4の値は250KΩと大きく、通常のCMOS製造プロセスで製造した場合比較的大きな面積を占めるが、MOSTランジスタに替えることで、面積を小さくすることが可能である。

【0057】次に、本発明の演算増幅回路の第2の実施の形態について図5を参照して説明する。

【0058】図5は、本発明の演算増幅回路の第2の実施の形態を示す回路図であり、演算増幅回路1002を50

12

構成する差動増幅回路を、Pチャネルトランジスタ111～114を用いて構成することにより、図2に示す演算増幅回路1001よりも回路を簡素化している。

【0059】また、Pチャネル出力トランジスタ104とNチャネル出力トランジスタ204のアイドリング電流の設定は、Pチャネルトランジスタ102とNチャネルトランジスタ201の各ゲート巾を、Pチャネルトランジスタ101及びNチャネルトランジスタ202の各ゲート巾よりも5%小さくし、無信号時にも差動増幅回路から定電流を流入及び流出させることで行っている。

【0060】本演算増幅回路1002の差動増幅回路の入力段には、エンハンスメント型Pチャネルトランジスタ112、113を用いているので、同相入力電圧を接地レベル以下まで設定できるという特徴がある。

【0061】次に、本発明の演算増幅回路の第3の実施の形態について図6を参照して説明する。

【0062】図2、5に示す演算増幅回路1001、1002では、差動増幅回路としてNチャネルトランジスタ又はPチャネルトランジスタの差動トランジスタ対を用いて、差動出力電流をNチャネルトランジスタ209、210からなるカレントミラー回路及びNチャネルトランジスタ212、213からなるカレントミラー回路で電流を折り返した後、Pチャネルトランジスタ101、102からなるカレントミラー回路3によってPチャネル出力トランジスタ104を駆動する回路構成となっているが、図6に示すように、Nチャネルトランジスタ差動対205、206の出力信号でPチャネル出力トランジスタ104を駆動し、Pチャネルトランジスタ差動対115、116の出力信号でNチャネル出力トランジスタ204を駆動することができる。

【0063】本演算増幅回路1003は、信号が通過するPチャネルトランジスタ差動対115、116からNチャネル出力トランジスタ204までの経路と、Nチャネルトランジスタ差動対205、206からPチャネル出力トランジスタ104までの経路が対称型の回路構成をしているので、高速動作時の性能が高い演算増幅回路を実現できる。

【0064】

【発明の効果】以上説明したように、本発明の演算増幅回路は、負荷駆動能力と出力段のアイドリング電流を独立に設定できるため、大きな負荷駆動能力を持たせかつ小信号時の消費電流を小さくすることができる。

【0065】また、小信号動作時には差動増幅回路の電流出力端子の電位がバランスしているため、電源電圧変動による影響を受けにくく電源変動除去比SVRが大きいという特徴がある。

【0066】さらに、出力段をコンプリメンタリソース接地回路で構成しているため、出力電圧範囲をほぼ接地電位から電源電圧程度まで広くとることが可能である。

【0067】また、しきい値電圧が0V近くのNチャネルノードプートランジスタを用いてインバーテッド・カスコード型の差動増幅回路を構成した場合、演算増幅回路の入力電圧をほぼ接地電位から電源電圧程度まで動作させることが可能である。このとき、トランジスタのソース・ドレイン間電圧としきい値電圧の和以上の電源電圧で動作するので、通常のCMOS製造プロセスを使用しても、電源電圧1V以下で動作可能な演算増幅回路を実現できる。

【0068】また、Pチャネル出力トランジスタとNチャネル出力トランジスタのアイドル電流の設定を、Pチャネル出力トランジスタ及びNチャネル出力トランジスタとそれぞれ電流ミラーの関係にあるカレントミラー回路を構成する各Pチャネルトランジスタ及び各Nチャネルトランジスタのゲート巾の比を、無信号時にも差動増幅回路から定電流が流入及び流出させるようにして行う場合には、ゲート巾の比は容易に設定可能なので任意のアイドル電流を容易に設定することができる。

【図面の簡単な説明】

【図1】本発明の演算増幅回路の基本概念を示す回路図20である。

【図2】本発明の演算増幅回路の第1の実施の形態を示す回路図である。

【図3】図2の演算増幅回路で、無信号及び小信号振幅の場合の動作を説明するための信号波形図である。

【図4】図2の演算増幅回路で、大信号振幅の場合の動作を説明するための信号波形図である。

【図5】本発明の演算増幅回路の第2の実施の形態を示す回路図である。

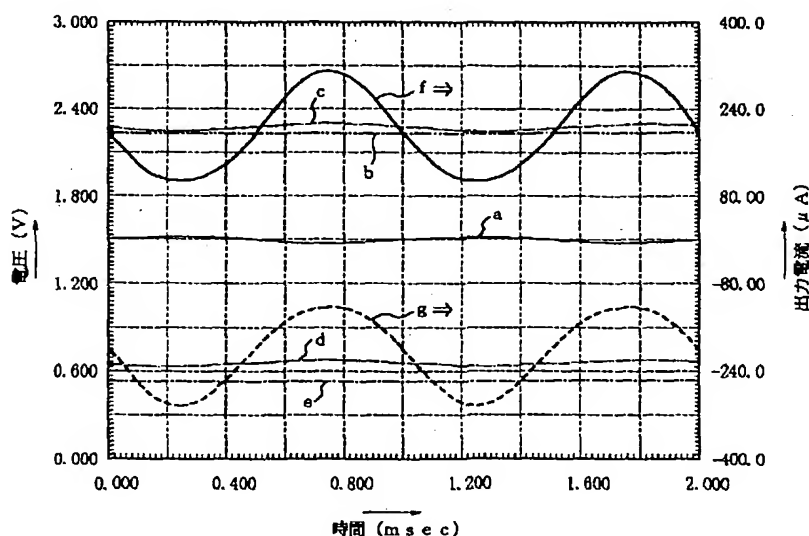
【図6】本発明の演算増幅回路の第3の実施の形態を示す回路図である。

【図7】従来の演算増幅回路を示す回路図である。

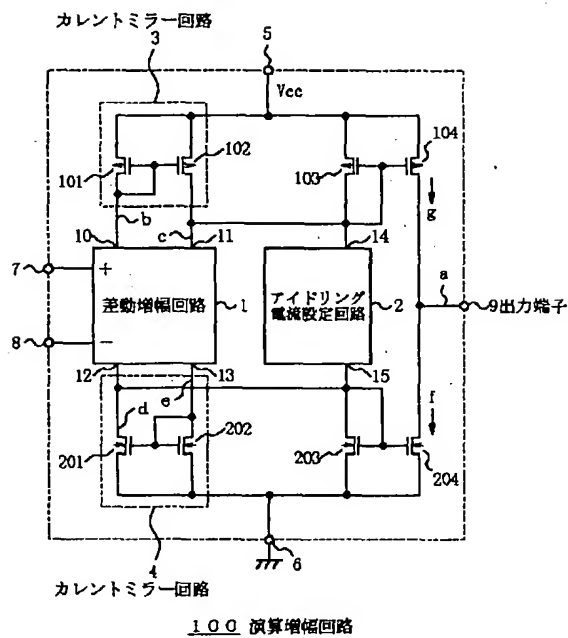
【符号の説明】

- 1, 1A 差動増幅回路
- 2, 2A アイドリング電流設定回路
- 3, 4, 76 カレントミラー回路
- 5 電源端子
- 6 接地端子
- 7 非反転入力端子
- 8 反転入力端子
- 9, 79 出力端子
- 10 反転電流流入端子
- 11 非反転電流流入端子
- 12 反転電流流出端子
- 13 非反転電流流出端子
- 14 定電流流入端子
- 15 定電流流出端子
- 16, 73 バイアス回路
- 21 バイアス電流設定端子
- 71 フォールデッドカスコード回路
- 72 ブッシュアップ出力回路
- 100, 1001, 1002, 1003, 700 演算増幅回路
- 101, 102, 105~116 Pチャネルトランジスタ
- 103, 203 負荷トランジスタ
- 104, 77 Pチャネル出力トランジスタ
- 201, 202, 205~214, 74, 75 Nチャネルトランジスタ
- 204, 78 Nチャネル出力トランジスタ
- R1~R4 抵抗
- C1, C2, Cc コンデンサ

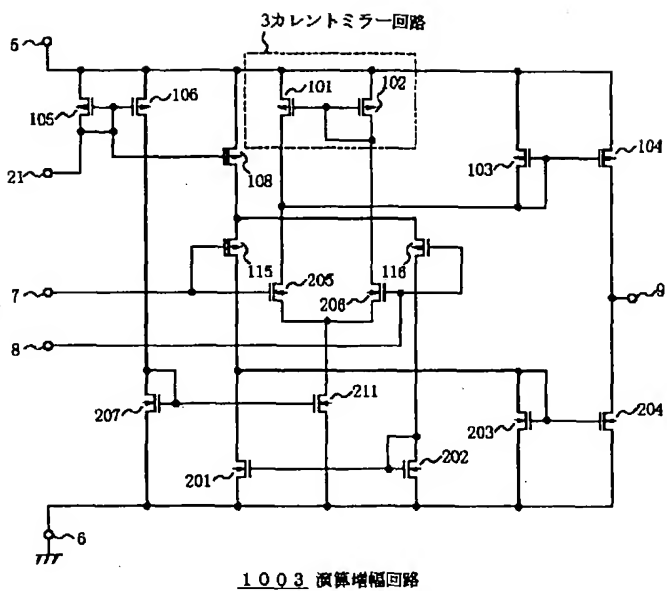
【図3】



【图 1】

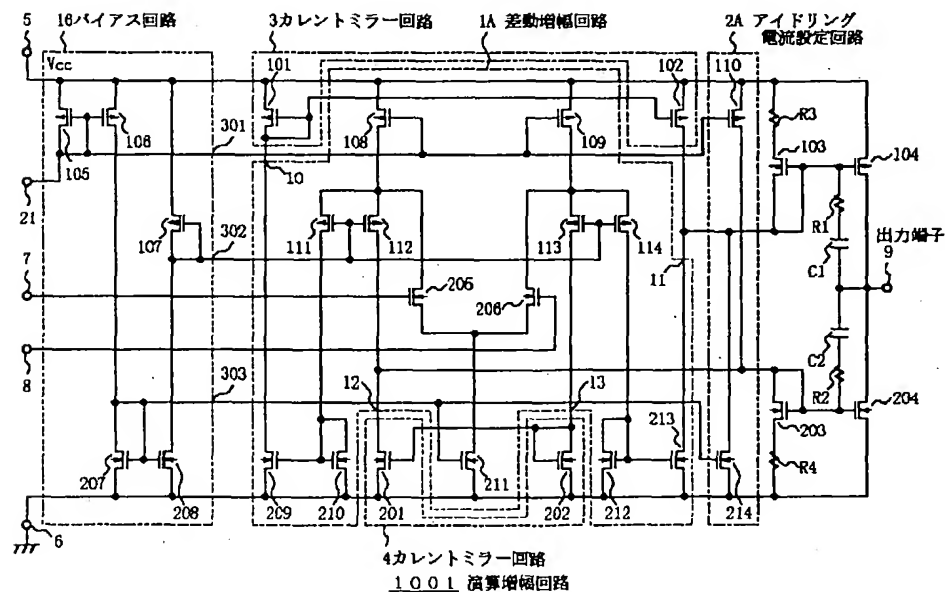


【図 6】

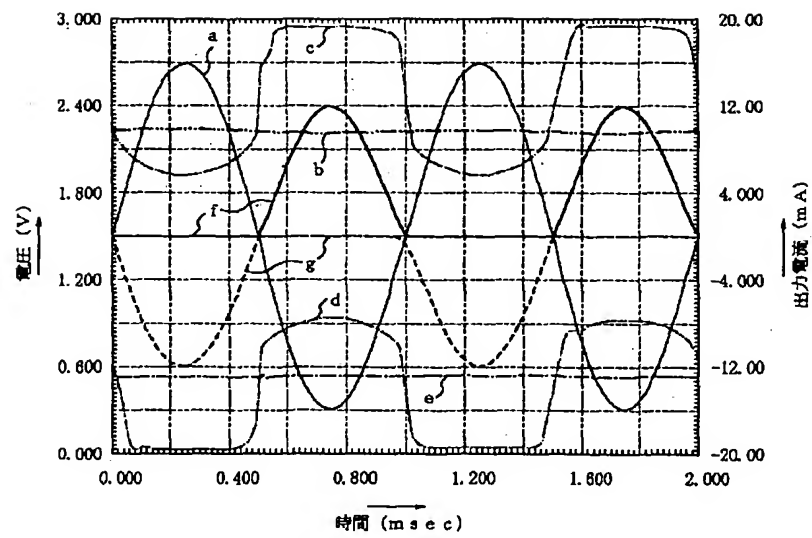


- 10: 反転電流流入端子, 11: 非反転電流流入端子
12: 反転電流流出端子, 13: 非反転電流流出端子
14: 定電流流入端子, 103: 負荷トランジスタ
15: 定電流流出端子, 203: 負荷トランジスタ
104: Pチャネル出力トランジスタ
204: Nチャネル出力トランジスタ

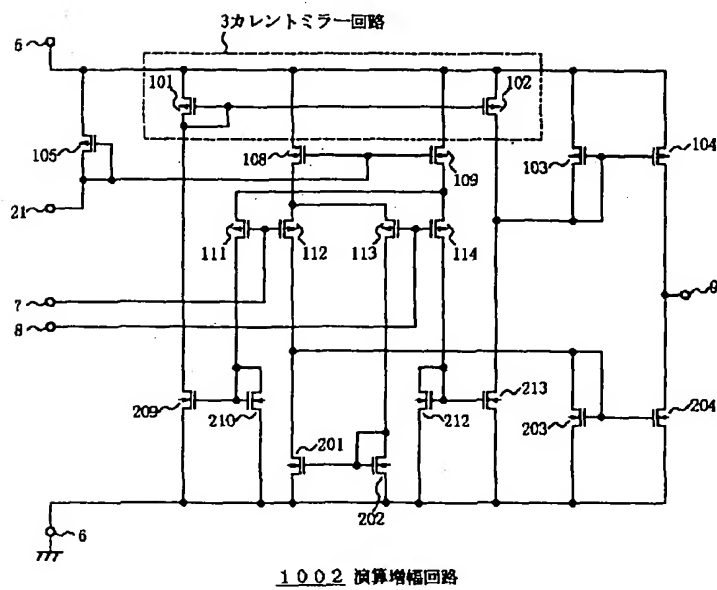
【図 2】



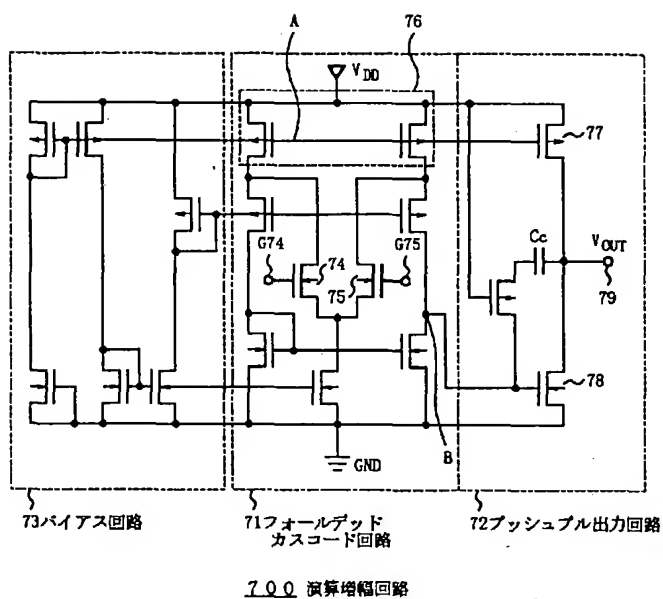
【図4】



【図5】



【図7】



フロントページの続き

(72)発明者 湯川 彰
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 田口 靖浩
神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

